

特許協力条約に基づいて公開された国際出願

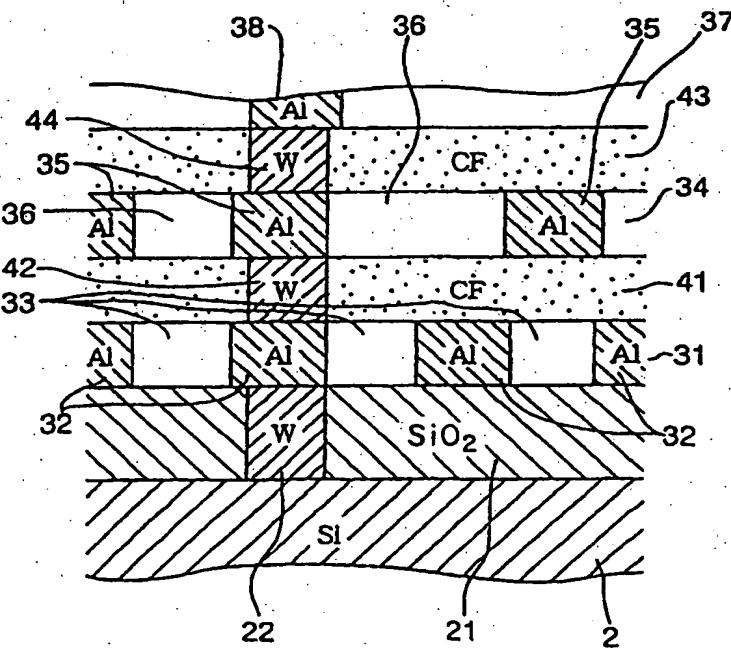
(51) 国際特許分類7 H01L 21/768, 21/314	A1	(11) 国際公開番号 WO00/42652
		(43) 国際公開日 2000年7月20日(20.07.00)
(21) 国際出願番号 PCT/JP00/00079		(81) 指定国 IL, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)
(22) 国際出願日 2000年1月11日(11.01.00)		添付公開書類 国際調査報告書
(30) 優先権データ 特願平11/5468 1999年1月12日(12.01.99)	JP	
(71) 出願人 (米国を除くすべての指定国について) 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED)[JP/JP] 〒107-8481 東京都港区赤坂五丁目3番6号 Tokyo, (JP)		
(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 石塚修一 (ISHIZUKA, Shuichi)[JP/JP] 〒409-3867 山梨県中巨摩郡昭和町清水新居114-1 ハイツ戸田307号 Yamanashi, (JP)		
(74) 代理人 佐藤一雄, 外 (SATO, Kazuo et al.) 〒100-0005 東京都千代田区丸の内三丁目2番3号 富士ビル323号 協和特許法律事務所 Tokyo, (JP)		

(54) Title: SEMICONDUCTOR DEVICE AND ITS PRODUCTION METHOD

(54) 発明の名称 半導体装置およびその製造方法

(57) Abstract

A wiring layer (34) where wiring lines (35) and recesses (30) between adjacent wiring lines (35) are formed is provided on a first interlayer insulating film (41). A second interlayer insulating film (43) being a CF film made of a filming material such as CF which has poor burying properties is provided on the wiring layer (34). An example of a gas for producing the material is C_6F_6 gas. A plasma is produced from the gas and the CF film is formed on the wiring layer (34) while preventing any CF film from being buried in the recesses (30). Thus, air gaps (36) each having a shape along the recesses (30) are formed between the wiring lines (35). Such a semiconductor device has a reduced capacitance between wiring lines while the mechanical stress is hardly weakened.



明 紹 書

半導体装置およびその製造方法技術分野

本発明は、配線間に空洞部を設けることにより、配線間の容量を低減させる半導体装置及びその製造方法に関する。

背景技術

半導体装置の高集積化を図るために、パターンの微細化、回路の多層化といった工夫が進められており、そのうちの一つとして配線を多層化する技術がある。多層配線構造をとるためには、 n 層目の配線層と $(n+1)$ 番目の配線層の間を導電層で接続すると共に、導電層以外の領域は層間絶縁膜と呼ばれる薄膜が形成される。

ところで半導体装置の微細化が進むにつれて、回路にパルス信号を伝送した際の信号遅延が問題となってくるが、この信号遅延 τ は配線間の抵抗値 R と配線間の容量 C に依存し、 $\tau = R \times C$ により与えられる。従って信号遅延 τ を小さくするためには配線間の容量 C を小さくすればよいが、この容量 C は層間絶縁膜の比誘電率に依存するので、近年デバイスの動作についてより一層の高速化を図るために比誘電率を低い層間絶縁膜の材質についての検討がなされている。

一方真空状態では比誘電率が1であることから、配線間にいわゆるエアギャップと呼ばれる空洞部を形成して、配線間の容量を低減させる技術も検討されている。例えば特開平10-150103号に開示されている技術では、例えば図1-1(a)に示すように、下地膜11上に例えばアルミニウム(A1)よりなる配線12、12を形成した後、SiH4ガス及びO2ガスを用いてプラズマCVDにより配線12、12の上部にSiO2膜13よりなる絶縁膜を形成している。

しかしながら上述の方法では、成膜途中において、SiO2膜13は、図1-1(b)に示すように、配線12、12間の凹部14の底部や側壁部分を埋め込みながら、凹部14の肩部が互いに追出すように、いわゆるオーバーハングと呼ばれる状態で堆積していく。このような状態で成膜が進行すると、図1-1(c)に

る配線層を形成する工程と、この配線層の上に、成膜材料により絶縁膜を形成する工程と、を備え、前記絶縁膜を形成する工程は、隣接する配線の凹部への成膜材料の埋め込みを抑えながら配線層の上に絶縁膜を形成することにより、凹部内に空洞部を形成することを特徴とする半導体装置の製造方法である。

図面の簡単な説明

図1は本発明の半導体装置の一例の一部を示す断面図である。

図2は本発明の半導体装置の製造方法の一例を示す工程図である。

図3は本発明の半導体装置の製造に用いられるプラズマ処理装置の一例を示す縦断側面図である。

図4は本発明の作用を説明するための工程図である。

図5は本発明の半導体装置に塗布膜を用いた場合の、塗布膜の成膜工程の一例を示す工程図である。

図6は本発明の作用を説明するための工程図である。

図7は本発明の半導体装置の他の例の製造方法の一例を示す工程図である。

図8は本発明の効果を確認するための実験の結果を示す特性図である。

図9は本発明の効果を確認するための実験の結果を示す特性図である。

図10は図9に示す特性図の説明に用いるための半導体装置の一部の断面図である。

図11は従来の半導体装置の製造方法の一例を示す工程図である。

図12は従来の半導体装置に形成されたエアギャップ一例を示す断面図である。

図13は従来の半導体装置に形成されたエアギャップ一例を示す断面図である。

発明を実施するための最良の形態

先ず本発明の半導体装置の実施の形態の一例について図1に基づいて説明する。

図1は半導体装置の一部を示す断面図であり、2はシリコン(Si)基板、21は例えばSiO₂膜よりなる絶縁膜であって、絶縁膜21には例えばタンクステン(W)が埋め込まれたコンタクトプラグ22が形成されている。絶縁膜21の上面には第1の配線層31が設けられており、この配線層31には例えばアルミニウム(Al)の配線32が形成されていると共に、隣接する配線32同士の間に配線32間に形成された凹部からなるエアギャップと呼ばれる空洞部33が

ームの厚さのA 1層3を形成する。なお図では便宜上T i層5 1とT iN層5 2はまとめてT iN層/T i層5 Aとして記載してある。

この後A 1層3の上面に例えば300オングストロームの厚さのT i層5 3と500オングストロームの厚さのT iN層5 4とをこの順序で形成する。なお図では便宜上T i層5 3とT iN層5 4はまとめてT iN層/T i層5 Bとして記載してある。ここで第1の層間絶縁膜4 1とA 1層3との間に形成されるT i層5 1は、CF膜よりなる層間絶縁膜4 1とA 1層3との間の剥離を抑えるための密着層として作用するものであり、T iN層5 2はA 1層3から層間絶縁膜4 1へのA 1の拡散や絶縁膜4 1からA 1層3へのフッ素(F)の拡散を防止するためのバリア膜として作用するものである。

またA 1層3の上面に形成されるT iN層5 4は、レジストを露光する際にA 1の反射率を低く抑えるための反射防止膜や、A 1配線の寿命を延ばすためのバリア膜として作用するものであり、T i層5 3はA 1層3との間で合金を形成して、A 1層3とT iN層5 4との間の密着性を高めるために形成されている。

これらのA 1層3やT i層5 1, 5 3、T iN層5 2, 5 4は、図示しないスパッタ装置に形成され、例えばA 1層3はA 1-Siからなるターゲットをアルゴン(Ar)ガスでスパッタすることにより形成される。またT i層5 1, 5 3とT iN層5 2, 5 4とは、例えばT iをターゲットとする同一のスパッタ装置にて、T i層5 1, 5 3の場合にはArガス、T iN層5 2, 5 4の場合にはArガスと窒素(N2)ガスでスパッタすることにより夫々形成される。

続いて図2 (b) ~ (c) に示すように、T iN層5 4の上面にレジスト5 5を塗布して、所定のパターン形状を露光し、現像した後、図示しないエッチング装置にて、塩素(C1)系ガスを用いてA 1層のエッチングを行ない、A 1配線3 5と、隣接するA 1配線3 5との間に凹部3 0を備えた第2の配線層3 4を形成する。

次いで図2 (d) に示すように、第2の配線層3 4の上面に第2の層間絶縁膜4 3を形成する処理を行う。本発明方法は、配線を備えた配線層の上面に埋め込み特性の悪い成膜材料により形成された層間絶縁膜を成膜することに特徴があり、この例では埋め込み特性の悪い成膜材料としてヘキサフルオロベンゼン(C6F)

れる。このためCF膜は図4 (a) に示すようにA1配線35の上面に堆積し、徐々に横に広がる状態で成長していって、隣接するA1配線35の上面に堆積したCF膜とつながっていき(図4 (b) 参照)、結局A1配線35の間の凹部30の間口を塞いでしまって、当該凹部30の内部にはほとんどCF膜が埋め込まれない状態となる。

この際、高周波電源部72を印加せず、即ちバイアス電力を印加しないことにより、成膜時にプラズマイオンがウェハW側に引き込まれることを抑え、さらにCF膜の埋め込み特性を悪くすることができる。こうして凹部30への埋め込みを抑えながら、TiN層54の上面に例えば8000オングストロームの厚さのCF膜43が成膜され、これによりA1配線35, 35の間にはエアギャップ(空洞部)36が形成される(図2 (d), 図4 (c) 参照)。この後第2の層間絶縁膜43に対して所定のパターンでエッチングを行い、溝部にW膜を埋込んでプラグ44を形成する。

本発明方法はC6F6ガス等の、埋め込み特性の悪い成膜材料を生成するためのガスに着目して成されたものであり、予め隣接するA1配線35の間に凹部30が設けられた配線層34を形成し、次いでC6F6ガスを成膜ガスとして用いて配線層34の上面に層間絶縁膜として埋め込み特性の悪いCF膜の成膜を行っているので、既述のように凹部30内をほとんど埋め込むことなく、CF膜を成膜することができる。このため隣接するA1配線35, 35同士の間にエアギャップ36を容易に形成することができ、しかもエアギャップ36の形状を凹部30の形状に沿った形状に形成することができる。

つまりCF膜の成膜条件を選択することにより、CF膜を凹部30の底部や側壁にはほとんど堆積させずに、しかも配線の上面に沿った状態で凹部30の上を塞ぐように成膜することができ、こうして配線間に形成されるエアギャップ36の形状をほぼ凹部30に沿った形状とすることができます。

このように本発明方法により製造された半導体装置は、隣接するA1配線同士の間が空洞となっており、この部分は真空状態、即ち成膜時におけるプロセス条件に近く、比誘電率が1近傍の大きさであることから、配線間の容量が低く、半導体装置の微細化に適している。また配線間に形成されるエアギャップ36の形

装置に搬送して前記加熱プレート83aの上に載置し、例えば140°Cの温度にて所定時間ベーク処理を行い、この処理により溶剤を蒸発させて除去する。この後ウェハWを、処理容器84の内部に加熱プレート84aを備えた加熱装置に搬送して前記加熱プレート84aの上に載置し、例えば400°Cの温度にて所定時間キュア処理を行い、この処理により重合反応を起こさせて塗布材料82を固化させ、こうしてSiLK膜8の成膜が行われる。この際キュア処理は熱処理炉にて行うようにしてもよい。

このようにSiLK膜8は塗布材料82をウェハW上に塗布することにより形成されるが、溶剤の表面張力を高くしたり、ウェハWを高速で回転させたり等といった塗布条件を選択することにより、例えば図6(a)に示すように、塗布材料82を配線35, 35間に凹部30の間口を塞ぐように拡散させ、前記凹部30に塗布材料をほとんど埋め込ませない状態でSiLK膜8を塗布することができる(図6(b)参照)。従って塗布膜を第2の層間絶縁膜として利用する場合であっても、配線35, 35間に、凹部30の形状に沿った形状のエアギャップ36を容易に形成することができる。

ここで塗布材料82の最適な粘性は15cSt(センチストークス(25°C))であり、ウェハWの回転数は3000rpmとなっている。

また本発明では、図7に示すように配線層と当該配線層の上面に形成される層間絶縁膜との間に密着層を形成するようにしてもよい。図7には、第2の配線層34の上面に第2の層間絶縁膜43としてCF膜を形成する場合について示しているが、先ず図7(a)に示すように、A1の配線35を備えた第2の配線層34の上面に例えば300オングストロームの厚さのSiN膜、SiO₂膜、またはSiC膜からなる密着層9を形成する。なお図中5A, 5Bは、上述の実施の形態と同様に形成されたTiN層/Ti層5A, 5Bである。

この密着層9は、例えば図3に示すプラズマ処理装置にて成膜ガスをプラズマ化することにより形成されるが、SiN膜の場合のプロセス条件の一例を示すと、プラズマガス例えばArガスの流量が200sccm、成膜ガス例えばSiH₄ガス及びN₂ガスの流量が夫々60sccm, 100sccmであって、マイクロ波電力が2.3kW、バイアス電力が0kWである。またSiO₂膜の場合の

ラズマガス例えばArガスを90 sccm、C6F5CF3ガスを40 sccmの流量で夫々導入し、マイクロ波電力を1.0 kW、バイアス電力を0 kWとして、C6F5CF3ガスをラズマ化し、配線間にエアギャップを形成するよう、配線層の上面に厚さ8000オングストロームのCF膜を形成した。この場合においてもAl配線とCF膜との間には、上述のプロセスにより300オングストロームの厚さのSiC膜よりなる密着層を形成した。

[実施例3]

成膜ガスとしてC6F5Hガスを用い、上述のラズマ処理装置にて、ラズマガス例えばArガスを90 sccm、C6F5Hガスを40 sccmの流量で夫々導入し、マイクロ波電力を1.0 kW、バイアス電力を0 kWとして、C6F5Hガスをラズマ化し、配線間にエアギャップを形成するよう、配線層の上面に厚さ8000オングストロームのCF膜を形成した。この場合においてもAl配線とCF膜との間には、上述のプロセスにより300オングストロームの厚さのSiC膜よりなる密着層を形成した。

[比較例1]

成膜ガスとしてSiH4ガス及びO2ガスを用い、上述のラズマ処理装置にて、ラズマガス例えばArガスを200 sccm、SiH4ガス及びO2ガスを夫々80 sccm、110 sccmの流量で夫々導入し、マイクロ波電力を2.3 kW、バイアス電力を2.0 kWとして、成膜ガスをラズマ化し、配線間の凹部をエアギャップを形成しないように埋め込みながら、配線層の上面に厚さ8000オングストロームのSiO2膜を形成した。

[比較例2]

成膜ガスとしてC6F6ガスを用い、上述のラズマ処理装置にて、ラズマガス例えばArガスを150 sccm、成膜ガス例えばC6F6ガス及びCF4ガスを夫々40 sccm及び20 sccmの流量で導入し、マイクロ波電力を1.0 kW、バイアス電力を2.5 kWとして、成膜ガスをラズマ化し、配線間の凹部をエアギャップを形成しないように埋め込みながら、配線層の上面に厚さ8000オングストロームのCF膜を形成した。

記線間誘電率 $\varepsilon/\varepsilon_{SiO_2}$ はいずれも 0.75 程度であり、エアギャップを形成することにより前記線間誘電率特性 $\varepsilon/\varepsilon_{SiO_2}$ が低くなることが認められた。

続いて層間絶縁膜の種類や成膜条件の変化のエアギャップ形状への影響を確認するために、高さが 8000 オングストローム、幅が 6000 オングストロームの A 1 の配線を、4000 オングストロームの配線間隔で形成した配線層の上に、6000 オングストロームの層間絶縁膜を種類や成膜条件を変えて形成して、このときに配線間に形成されるエアギャップの形成を観察した。この際の成膜条件は次の実施例及び比較例に示す通りである。

[実施例 4]

成膜ガスとして C6F6 ガスを用い、上述のプラズマ処理装置にて、プラズマガス例えば Ar ガスを 90 sccm、C6F6 ガスを 40 sccm の流量で導入し、マイクロ波電力を 2.0 kW、バイアス電力を 0 kW として、C6F6 ガスをプラズマ化し、配線層の上面に厚さ 6000 オングストロームの CF 膜を形成した。

[実施例 5]

成膜ガスとして C6F6 ガスを用い、上述のプラズマ処理装置にて、プラズマガス例えば Ar ガスを 90 sccm、C6F6 ガスを 40 sccm の流量で夫々導入し、マイクロ波電力を 2.0 kW、バイアス電力を 1.0 kW として、C6F6 ガスをプラズマ化し、配線層の上面に厚さ 6000 オングストロームの CF 膜を形成した。

[実施例 6]

成膜ガスとして C6F5CF3 ガスを用い、上述のプラズマ処理装置にて、プラズマガス例えば Ar ガスを 90 sccm、C6F5CF3 ガスを 40 sccm の流量で夫々導入し、マイクロ波電力を 2.0 kW、バイアス電力を 0 kW として、C6F5CF3 ガスをプラズマ化し、配線層の上面に厚さ 6000 オングストロームの CF 膜を形成した。

[実施例 7]

成膜ガスとして C6F5H ガスを用い、上述のプラズマ処理装置にて、プラズ

さらに実施例4と実施例5との結果により、同じ成膜ガスを用いた場合であってもプロセス条件を変化させることにより形成されるエアギャップの形状が変化し、成膜のときにバイアス電力を印加しないことによって、配線91間の凹部への埋め込み量が少なくなり、凹部の形状に沿った形状エアギャップ92を形成できることが確認された。

また同様の実験をSiLK膜、HSQ膜、MSQ膜にて行ったところ、前記H_a／H_b及びW_a／W_bの値は夫々5、2、2程度であって、層間絶縁膜としてSiO₂膜を用いた場合に比べて小さく、これらの塗布膜を用いることにより、配線間の凹部の形状に沿った形状のエアギャップを形成できることが確認された。

以上において本発明の半導体装置では、配線層の配線やプラグは、銅により形成するようにしてもよい。またTi層及びTiN層は、第1の層間絶縁膜と配線層の間や、配線層と第2の層間絶縁膜との間に適宜設けられるものであり、必要な無い場合にはこれらを設けない構成としてもよい。

また絶縁膜とに設けられるCF膜はECRによりプラズマを生成することに限られず、例えばICP (Inductive Coupled Plasma)などと呼ばれている、ドーム状の容器に巻かれたコイルから電界及び磁界を処理ガスに与える方法などによりプラズマを生成する装置を用いても形成できる。

さらにヘリコン波プラズマなどと呼ばれている例えば13.56MHz高周波と磁気コイルにより印加された磁場との相互作用によりヘリコンプラズマを生成する装置や、マグネットロンプラズマなどと呼ばれている2枚の平行なカソードにはほぼ平行をなすように磁界を印加することによってプラズマを生成する装置、平行平板などと呼ばれている互いに対向する電極間に高周波電力を印加してプラズマを生成する装置を用いても形成することができる。

以上のように本発明によれば、配線間に空洞部を設けることにより配線間の容量を低減させる半導体装置において、前記空洞部の形状を配線間の凹部に沿った形状とことができ、半導体装置の機械的強度の低減を抑えながら、配線間の容量を低減させることができる。また配線間に、配線間の凹部に沿った形状の空洞部が形成された半導体装置を容易な手法で製造することができる。

合物であって埋め込み特性の悪いフッ素添加カーボン膜を用いることを特徴とする半導体装置の製造方法。

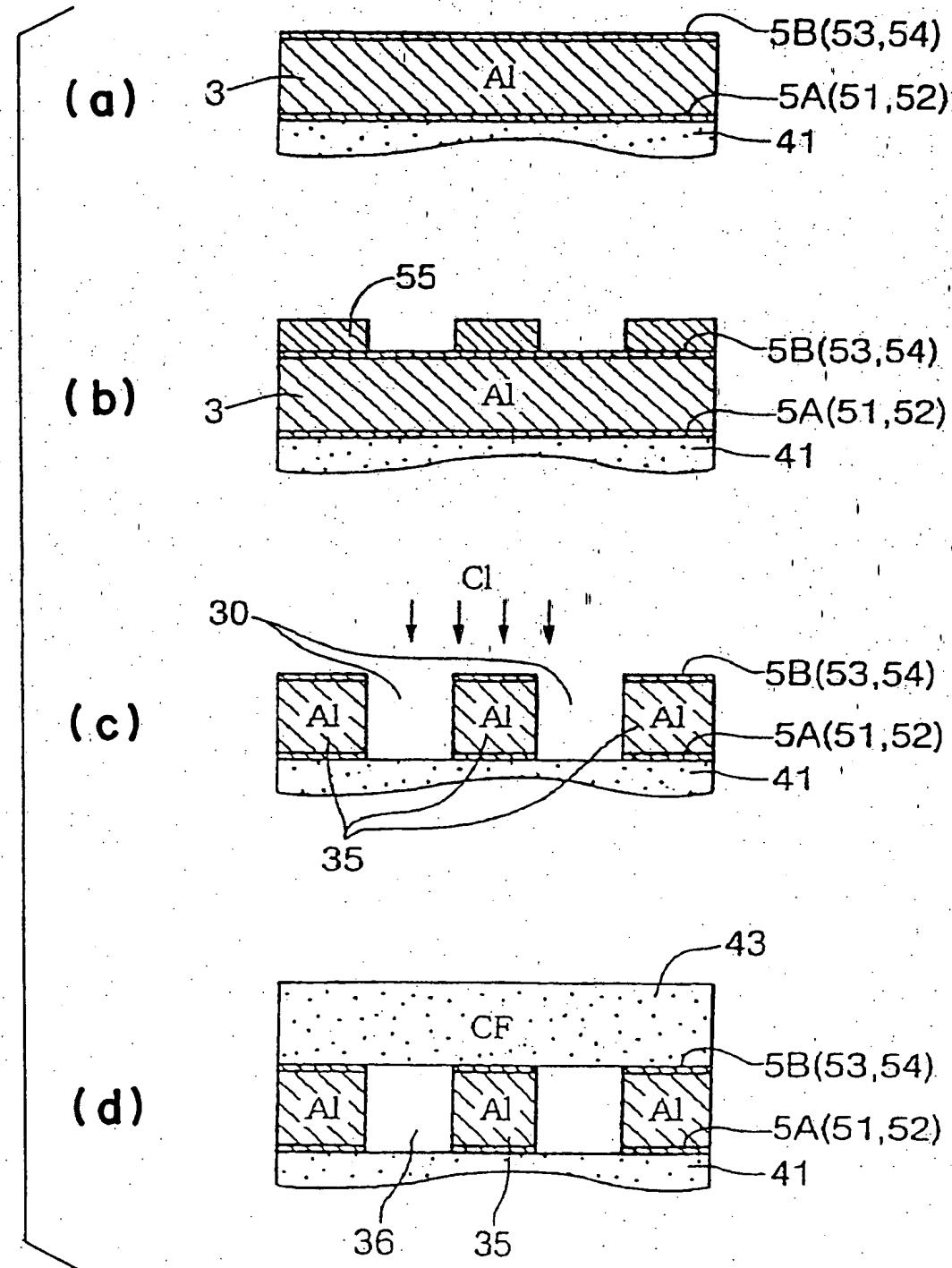
10. 配線層の上に絶縁膜を形成する際、成膜材料としてベンゼン環を有する化合物により形成され、炭素とフッ素との化合物であって埋め込み特性の悪いフッ素添加カーボン膜を用いることを特徴とする請求項9記載の半導体装置の製造方法。

11. フッ素添加カーボン膜はヘキサフルオロベンゼンにより形成されることを特徴とする請求項10記載の半導体装置の製造方法。

12. 配線層の上に絶縁層を形成する際、成膜材料として塗布膜を用いることを特徴とする請求項8記載の半導体装置の製造方法。

13. 配線層の上に絶縁層を形成する際、塗布膜としてSiLK膜を用いることを特徴とする請求項12記載の半導体装置の製造方法。

2/12



F I G. 2

4/12

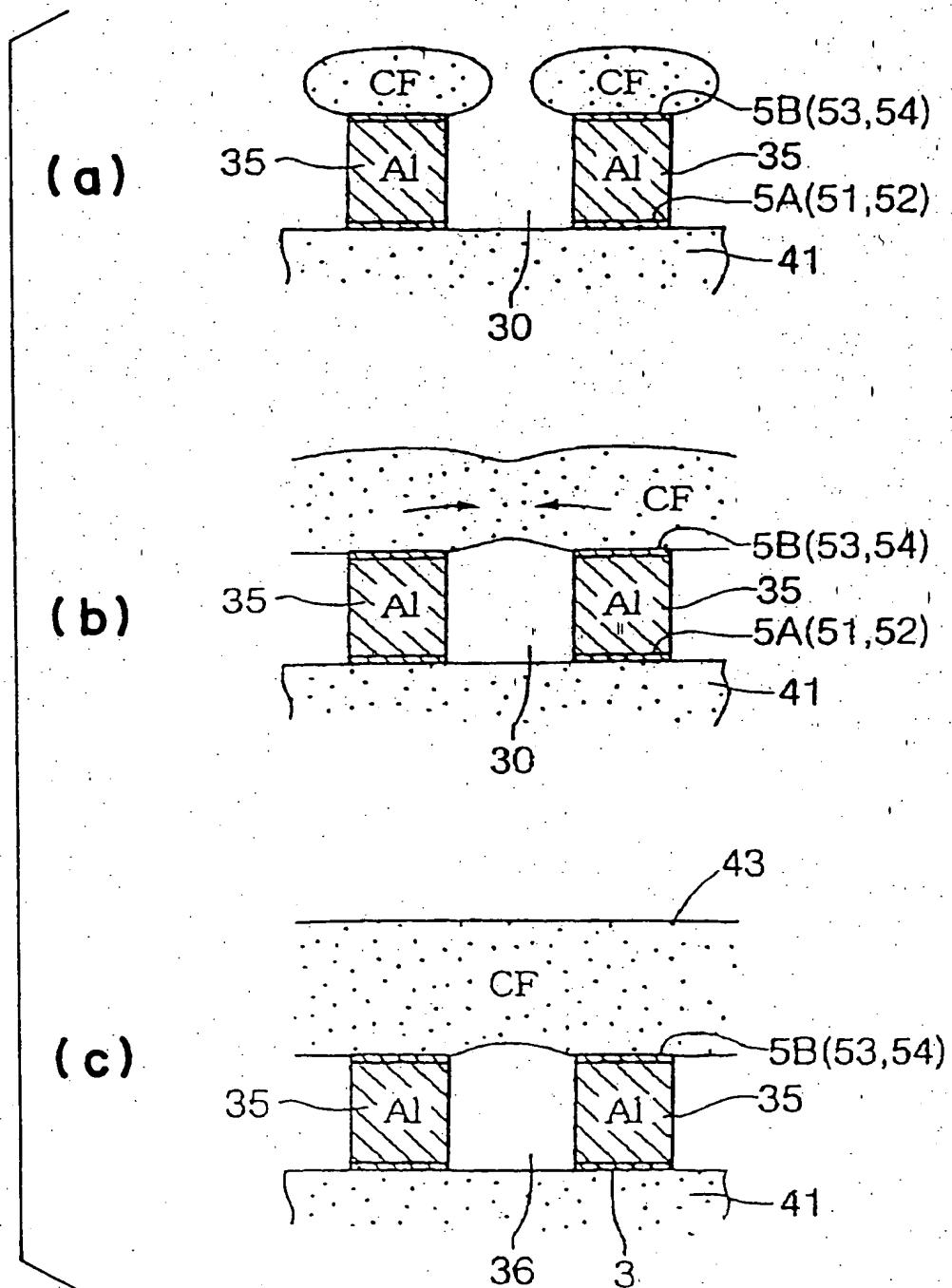


FIG. 4

6 / 12

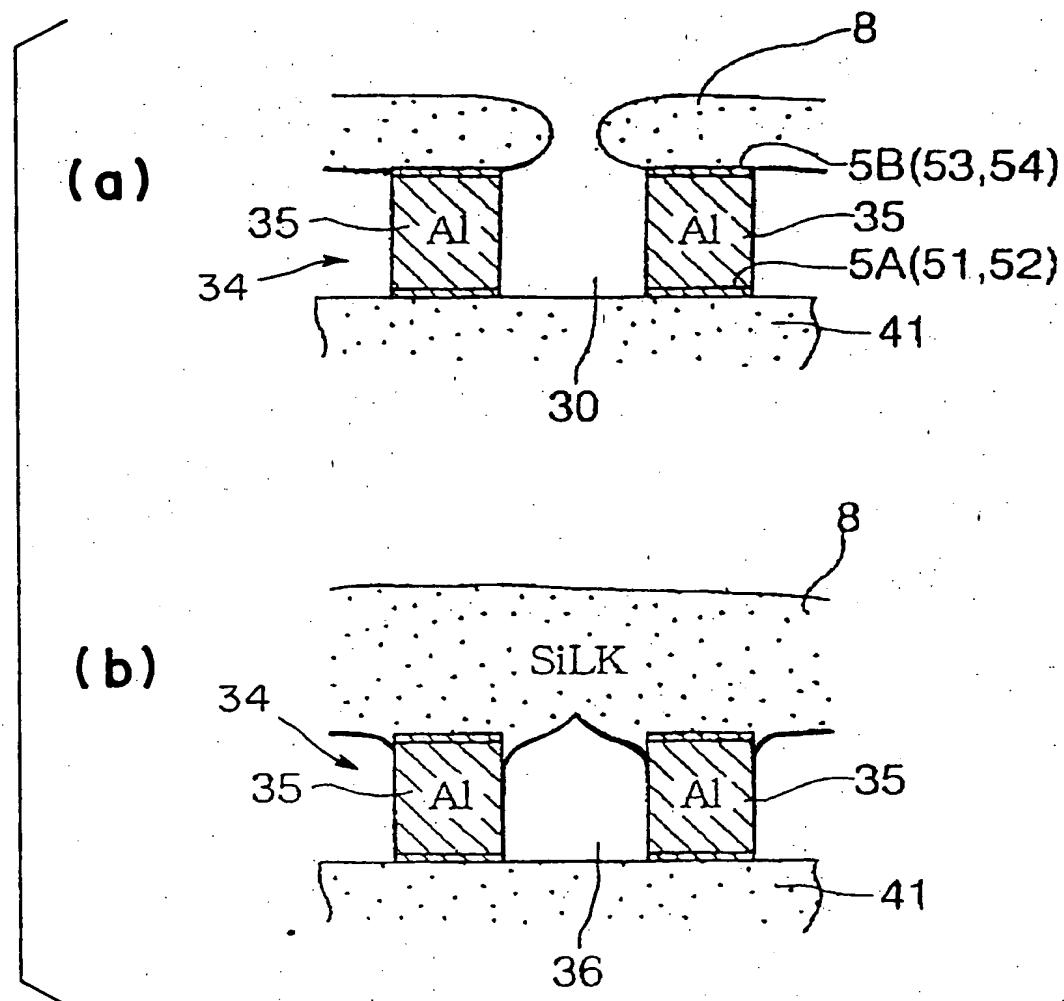
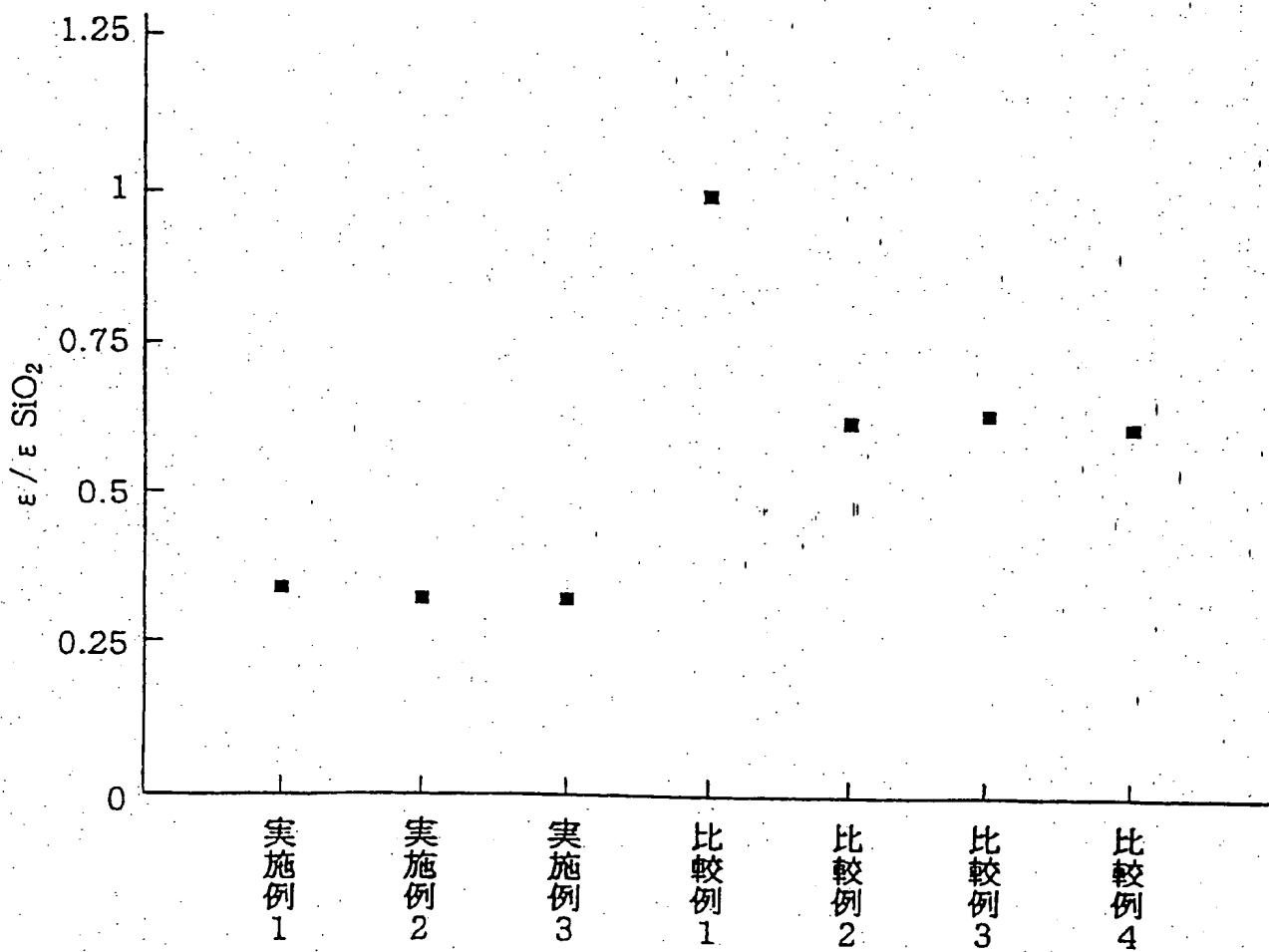


FIG. 6

8/12



F I G. 8

10/12

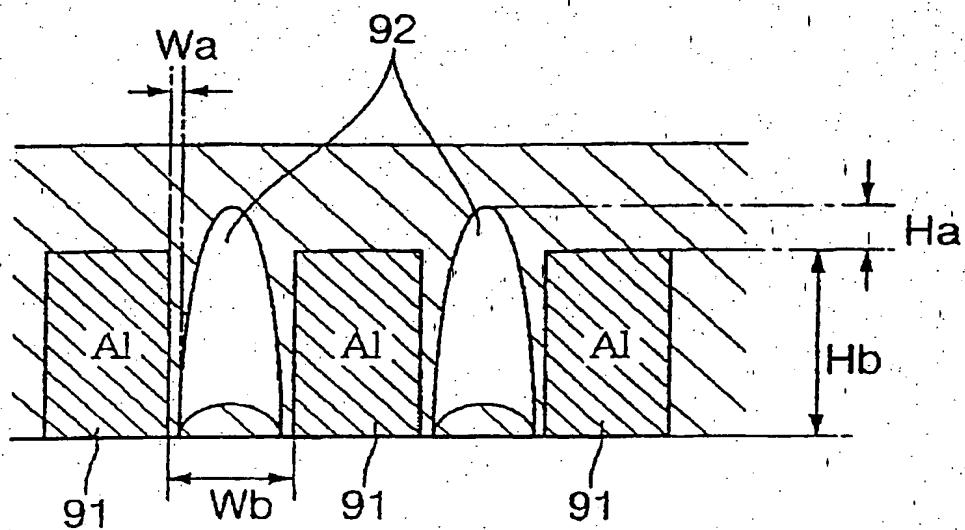


FIG. 10

12/12

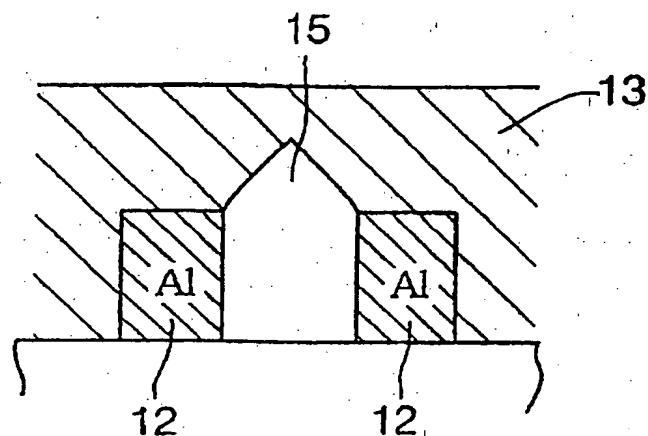


FIG. 12

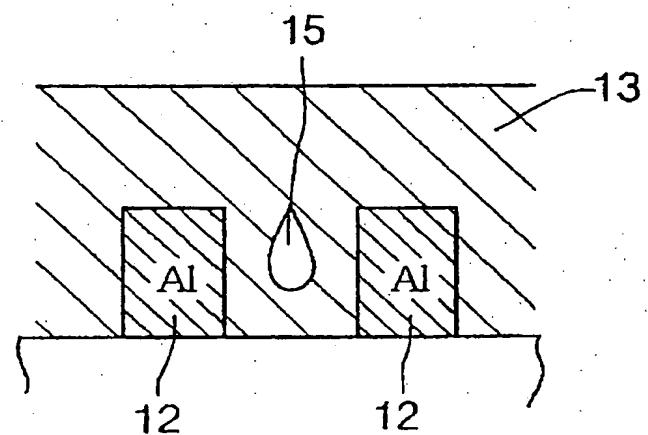


FIG. 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00079

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No:
Y	JP, 9-172068, A (NEC Corporation), 30 June, 1997 (30.06.97), Columns 28 to 37 (Family: none)	5,7
Y	JP, 9-237834, A (NEC Corporation), 09 September, 1997 (09.09.97), Columns 16 to 21 (Family: none)	6
Y	JP, 9-172079, A (NEC Corporation), 30 June, 1997 (30.06.97), Full text (Family: none)	6,7
Y	Toshiaki Kawane, "Application of etching organic film in low-k film to Cu Damascene: conquering heat-resistance and O ₂ plasma resistance" (in Japanese), Monthly Semiconductor World, November 1998, Vol.17, No.12, 20 October 1998 (20.10.98), Kabushiki Kaisha Press Journal, P.74-76	13
A	JP, 9-55431, A (Nippon Steel Corporation), 25 February, 1997 (25.02.97), Full text (Family: none)	1-13

C(続き) 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
EX	JP, 11-312733, A (日本鋼管株式会社) 9, 11月, 1999, (09. 11. 99), 全文, (ファミリーなし)	1, 4, 8
Y	JP, 8-148556, A (ソニー株式会社) 7, 6月, 1996 (07. 06. 96), 第58欄, (ファミリーなし)	2, 9-11
Y	JP, 9-172068, A (日本電気株式会社) 30, 6月, 1997 (30. 06. 97), 第28欄~第37欄, (ファミリーなし)	5, 7
Y	JP, 9-237834, A (日本電気株式会社) 9, 9月, 1997 (09. 09. 97), 第16欄~第21欄, (ファミリーなし)	6
Y	JP, 9-172079, A (日本電気株式会社) 30, 6月, 1997 (30. 06. 97), 全文, (ファミリーなし)	6, 7
Y	川根利昭「low-k膜のエッチング有機系膜のCuダマシンへの適用耐熱性, O ₂ プラズマ耐性の克服が鍵」月刊semiconductor world 1998年11月号第17巻第12号, 20. 10月. 1998 (20. 10. 98) 株式会社プレスジャーナル発行, P74-76	13
A	JP, 9-55431, A (新日本製鐵株式会社) 25, 2月, 1997 (25. 02. 97), 全文, (ファミリーなし)	1-13